

# LOJİK DEVRE LABORATUVARI

## PROJE KONULARI

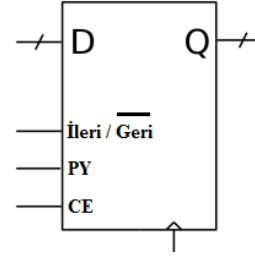
### Grup 201:

Paralel yükleme ve Saat Aktif (CE-Clock Enable) girişlerine sahip, ileri ve geri sayma işlemini yapan ve aşağıda özellikleri verilen bir sayıcı devresinin tasarımını gerçekleştiriniz.

- İleri/ $\overline{\text{Geri}}$  kontrol giriş değerine bağlı olarak durum tablosunda belirtilen değerlerde ileri ve geri sayma işlemi gerçekleştirilecektir.
- PY(Paralel Yükleme) kontrol girişi lojik "1" olduğunda "D" girişlerindeki değerler Q çıkışlarına aktarılacaktır. Paralel yükleme değeri sayma işleminin gerçekleştirileceği değerler içerisinde olacaktır.
- CE girişine bağlı olarak sayma işlemi devam edecektir.
- Sayma işlemi 6 ile 30 değerleri arasında gerçekleştirilecektir.

Tablo 1. Sayıcı devresinin durum tablosu

CE	PY	İleri/ $\overline{\text{Geri}}$	Q(t+1)
0	X	X	Q(t)
1	1	X	D
1	0	1	Q(t)+2
1	0	0	Q(t)-2



Şekil 1. Sayıcı devresinin blok şeması

- Şekil 1'deki ALU biriminin devresini GAL22V10'a uygun şekilde tasarlayınız.
- Tasarladığınız devreyi WinCUPL programında GAL22V10'a göre kodlayınız ve hatasız derlendiğinden emin olunuz.
- GAL elemanı için derlediğiniz kodun Tablo 1'deki her satır için çalıştığını WinSIM programıyla simülasyon yaparak onaylayınız.
- (a), (b) ve (c) şıklarını giriş ve sonuç bütünlüğünde raporlayınız.
- Derlenmiş JED uzantılı programlama dosyasını en geç 17 Mayıs 2019 Cuma günü saat 08:00'a kadar Lojik Devre LAB sorumlusuna e-posta ile ulaştırınız.
- Raporunuzun çıktısıyla proje LAB saatinde LAB'da hazır bulununuz. Lojik Devre LAB sorumlusuna GAL elemanınızı kendi JED dosyanızla programlatarak projenizin çalıştığını gösteriniz.

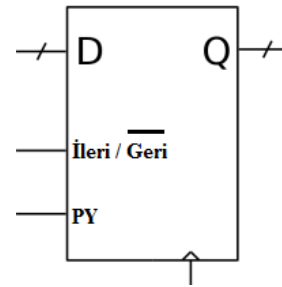
## Grup 202:

Paralel yükleme özelliğine sahip, ileri ve geri sayma işlemini yapan ve aşağıda özellikleri verilen bir sayıcı devresinin tasarımını gerçekleyiniz.

- İleri/ $\overline{\text{Geri}}$  kontrol giriş değerine bağlı olarak durum tablosunda belirtilen değerlerde ileri ve geri sayma işlemi gerçekleştirilecektir.
- PY(Paralel Yükleme) kontrol girişi lojik "1" olduğunda "D" girişlerindeki değerler Q çıkışlarına aktarılacaktır. Paralel yükleme değeri sayma işleminin gerçekleştirileceği değerler içerisinde olacaktır.
- Sayma işlemi 5 ile 31 değerleri arasında gerçekleştirilecektir.

Tablo 1. Sayıcı devresinin durum tablosu

PY	İleri/ $\overline{\text{Geri}}$	Q(t+1)
1	X	D
0	1	Q(t)+ 1
0	0	Q(t)- 1



Şekil 2. Sayıcı devresinin blok şeması

- Şekil 1'deki ALU biriminin devresini GAL22V10'a uygun şekilde tasarlayınız.
- Tasarladığınız devreyi WinCUPL programında GAL22V10'a göre kodlayınız ve hatasız derlendiğinden emin olunuz.
- GAL elemanı için derlediğiniz kodun Tablo 1'deki her satır için çalıştığını WinSIM programıyla simülasyon yaparak onaylayınız.
- (a), (b) ve (c) şıklarını giriş ve sonuç bütünlüğünde raporlayınız.
- Derlenmiş JED uzantılı programlama dosyasını en geç 17 Mayıs 2019 Cuma günü saat 08:00'a kadar Lojik Devre LAB sorumlusuna e-posta ile ulaştırınız.
- Raporunuzun çıktısıyla proje LAB saatinde LAB'da hazır bulununuz. Lojik Devre LAB sorumlusuna GAL elemanınızı kendi JED dosyanızla programlatarak projenizin çalıştığını gösteriniz.

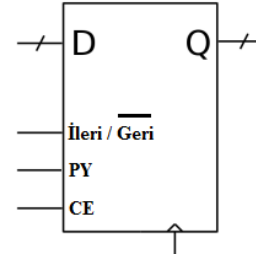
## Grup 203:

Reset ve Saat Aktif (CE-Clock Enable) girişlerine sahip, ileri ve geri sayma işlemini yapan ve aşağıda özellikleri verilen bir sayıcı devresinin tasarımını gerçekleyiniz.

- İleri/ $\overline{\text{Geri}}$  kontrol giriş değerine bağlı olarak durum tablosunda belirtilen değerlerde ileri ve geri sayma işlemi gerçekleştirilecektir.
- Reset giriş değerine bağlı olarak sayıcı resetlenecek ve 0 değerinden başlayarak sayma işlemine devam edecektir.
- CE girişine bağlı olarak sayma işlemi devam edecektir.
- Sayma işlemi 8 ile 29 değerleri arasında gerçekleştirilecektir. Sayma işleminin üst sınır değeri D girişine verilecek olan değerler ile belirlenecektir.

Tablo 1. Sayıcı devresinin durum tablosu

Reset	CE	İleri/ $\overline{\text{Geri}}$	Q(t+1)
1	X	X	0
0	0	X	Q(t)
0	1	1	Q(t)+ 3
0	1	0	Q(t) - 3



Şekil 1. Sayıcı devresinin blok şeması

- Şekil 1'deki ALU biriminin devresini GAL22V10'a uygun şekilde tasarlayınız.
- Tasarladığınız devreyi WinCUPL programında GAL22V10'a göre kodlayınız ve hatasız derlendiğinden emin olunuz.
- GAL elemanı için derlediğiniz kodun Tablo 1'deki her satır için çalıştığını WinSIM programıyla simülasyon yaparak onaylayınız.
- (a), (b) ve (c) şıklarını giriş ve sonuç bütünlüğünde raporlayınız.
- Derlenmiş JED uzantılı programlama dosyasını en geç 17 Mayıs 2019 Cuma günü saat 08:00'a kadar Lojik Devre LAB sorumlusuna e-posta ile ulaştırınız.
- Raporunuzun çıktısıyla proje LAB saatinde LAB'da hazır bulununuz. Lojik Devre LAB sorumlusuna GAL elemanınızı kendi JED dosyanızla programlatarak projenizin çalıştığını gösteriniz.

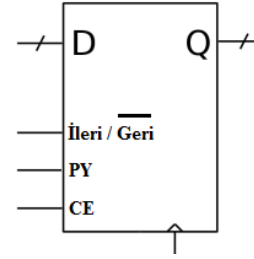
## Grup 204:

Paralel yükleme ve Saat Aktif (CE-Clock Enable) girişlerine sahip, ileri ve geri sayma işlemini yapan ve aşağıda özellikleri verilen bir sayıcı devresinin tasarımını gerçekleştiriniz.

- İleri/ $\overline{\text{Geri}}$  kontrol giriş değerine bağlı olarak durum tablosunda belirtilen değerlerde ileri ve geri sayma işlemi gerçekleştirilecektir.
- PY(Paralel Yükleme) kontrol girişi lojik "1" olduğunda "D" girişindeki değerler Q çıkışlarına aktarılacaktır. Paralel yükleme değeri sayma işleminin gerçekleştirileceği değerler içerisinde olacaktır.
- CE girişine bağlı olarak sayma işlemi devam edecektir.
- Sayma işlemi 5 ile 29 değerleri arasında gerçekleştirilecektir.

Tablo 1. Sayıcı devresinin durum tablosu

CE	PY	İleri/ $\overline{\text{Geri}}$	Q(t+1)
0	X	X	Q(t)
1	1	X	D
1	0	1	Q(t)+3
1	0	0	Q(t)-3



Şekil 1. Sayıcı devresinin blok şeması

- Şekil 1'deki ALU biriminin devresini GAL22V10'a uygun şekilde tasarlayınız.
- Tasarladığınız devreyi WinCUPL programında GAL22V10'a göre kodlayınız ve hatasız derlendiğinden emin olunuz.
- GAL elemanı için derlediğiniz kodun Tablo 1'deki her satır için çalıştığını WinSIM programıyla simülasyon yaparak onaylayınız.
- (a), (b) ve (c) şıklarını giriş ve sonuç bütünlüğünde raporlayınız.
- Derlenmiş JED uzantılı programlama dosyasını en geç 17 Mayıs 2019 Cuma günü saat 08:00'a kadar Lojik Devre LAB sorumlusuna e-posta ile ulaştırınız.
- Raporunuzun çıktısıyla proje LAB saatinde LAB'da hazır bulununuz. Lojik Devre LAB sorumlusuna GAL elemanınızı kendi JED dosyanızla programlatarak projenizin çalıştığını gösteriniz.

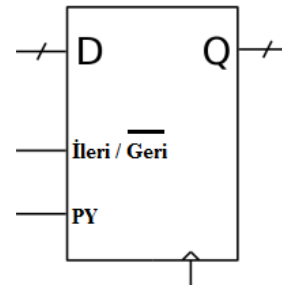
## Grup 205:

Paralel yükleme özelliğine sahip, ileri ve geri sayma işlemini yapan ve aşağıda özellikleri verilen bir sayıcı devresinin tasarımını gerçekleyiniz.

- İleri/ $\overline{\text{Geri}}$  kontrol giriş değerine bağlı olarak durum tablosunda belirtilen değerlerde ileri ve geri sayma işlemi gerçekleştirilecektir.
- PY(Paralel Yükleme) kontrol girişi lojik "1" olduğunda "D" girişlerindeki değerler Q çıkışlarına aktarılacaktır. Paralel yükleme değeri sayma işleminin gerçekleştirileceği değerler içerisinde olacaktır.
- Sayma işlemi 2 ile 30 değerleri arasında gerçekleştirilecektir.

Tablo 1. Sayıcı devresinin durum tablosu

PY	İleri/ $\overline{\text{Geri}}$	Q(t+1)
1	X	D
0	1	Q(t)+ 2
0	0	Q(t)- 2



Şekil 2. Sayıcı devresinin blok şeması

- Şekil 1'deki ALU biriminin devresini GAL22V10'a uygun şekilde tasarlayınız.
- Tasarladığınız devreyi WinCUPL programında GAL22V10'a göre kodlayınız ve hatasız derlendiğinden emin olunuz.
- GAL elemanı için derlediğiniz kodun Tablo 1'deki her satır için çalıştığını WinSIM programıyla simülasyon yaparak onaylayınız.
- (a), (b) ve (c) şıklarını giriş ve sonuç bütünlüğünde raporlayınız.
- Derlenmiş JED uzantılı programlama dosyasını en geç 17 Mayıs 2019 Cuma günü saat 08:00'a kadar Lojik Devre LAB sorumlusuna e-posta ile ulaştırınız.
- Raporunuzun çıktısıyla proje LAB saatinde LAB'da hazır bulununuz. Lojik Devre LAB sorumlusuna GAL elemanınızı kendi JED dosyanızla programlatarak projenizin çalıştığını gösteriniz.

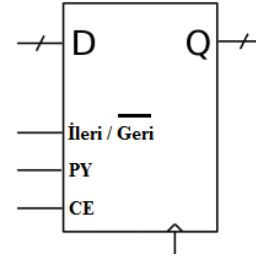
## Grup 206:

Reset ve Saat Aktif (CE-Clock Enable) girişlerine sahip, ileri ve geri sayma işlemini yapan ve aşağıda özellikleri verilen bir sayıcı devresinin tasarımını gerçekleyiniz.

- İleri/ $\overline{\text{Geri}}$  kontrol giriş değerine bağlı olarak durum tablosunda belirtilen değerlerde ileri ve geri sayma işlemi gerçekleştirilecektir.
- Reset giriş değerine bağlı olarak sayıcı resetlenecek ve 0 değerinden başlayarak sayma işlemine devam edecektir.
- CE girişine bağlı olarak sayma işlemi devam edecektir.
- Sayma işlemi 8 ile 29 değerleri arasında gerçekleştirilecektir. Sayma işleminin üst sınır değeri D girişine verilecek olan değerler ile belirlenecektir.

Tablo 1. Sayıcı devresinin durum tablosu

Reset	CE	İleri/ $\overline{\text{Geri}}$	Q(t+1)
1	X	X	0
0	0	X	Q(t)
0	1	1	Q(t)+ 3
0	1	0	Q(t)- 3



Şekil 1. Sayıcı devresinin blok şeması

- Şekil 1'deki ALU biriminin devresini GAL22V10'a uygun şekilde tasarlayınız.
- Tasarladığınız devreyi WinCUPL programında GAL22V10'a göre kodlayınız ve hatasız derlendiğinden emin olunuz.
- GAL elemanı için derlediğiniz kodun Tablo 1'deki her satır için çalıştığını WinSIM programıyla simülasyon yaparak onaylayınız.
- (a), (b) ve (c) şıklarını giriş ve sonuç bütünlüğünde raporlayınız.
- Derlenmiş JED uzantılı programlama dosyasını en geç 17 Mayıs 2019 Cuma günü saat 08:00'a kadar Lojik Devre LAB sorumlusuna e-posta ile ulaştırınız.
- Raporunuzun çıktısıyla proje LAB saatinde LAB'da hazır bulununuz. Lojik Devre LAB sorumlusuna GAL elemanınızı kendi JED dosyanızla programlatarak projenizin çalıştığını gösteriniz.

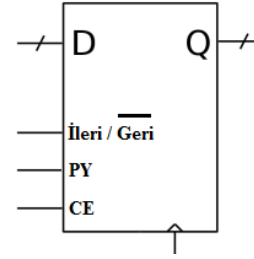
## Grup 207:

Paralel yükleme ve Saat Aktif (CE-Clock Enable) girişlerine sahip, ileri ve geri sayma işlemi yapan ve aşağıda özellikleri verilen bir sayıcı devresinin tasarımını gerçekleyiniz.

- İleri/ $\overline{\text{Geri}}$  kontrol giriş değerine bağlı olarak durum tablosunda belirtilen değerlerde ileri ve geri sayma işlemi gerçekleştirilecektir.
- PY(Paralel Yükleme) kontrol girişi lojik "1" olduğunda "D" girişindeki değerler Q çıkışlarına aktarılacaktır. Paralel yükleme değeri sayma işleminin gerçekleştirileceği değerler içerisinde olacaktır.
- CE girişine bağlı olarak sayma işlemi devam edecektir.
- Sayma işlemi 4 ile 28 değerleri arasında gerçekleştirilecektir.

Tablo 1. Sayıcı devresinin durum tablosu

CE	PY	İleri/ $\overline{\text{Geri}}$	Q(t+1)
0	X	X	Q(t)
1	1	X	D
1	0	1	Q(t)+4
1	0	0	Q(t)- 4



Şekil 1. Sayıcı devresinin blok şeması

- Şekil 1'deki ALU biriminin devresini GAL22V10'a uygun şekilde tasarlayınız.
- Tasarladığınız devreyi WinCUPL programında GAL22V10'a göre kodlayınız ve hatasız derlendiğinden emin olunuz.
- GAL elemanı için derlediğiniz kodun Tablo 1'deki her satır için çalıştığını WinSIM programıyla simülasyon yaparak onaylayınız.
- (a), (b) ve (c) şıklarını giriş ve sonuç bütünlüğünde raporlayınız.
- Derlenmiş JED uzantılı programlama dosyasını en geç 17 Mayıs 2019 Cuma günü saat 08:00'a kadar Lojik Devre LAB sorumlusuna e-posta ile ulaştırınız.
- Raporunuzun çıktısıyla proje LAB saatinde LAB'da hazır bulununuz. Lojik Devre LAB sorumlusuna GAL elemanınızı kendi JED dosyanızla programlatarak projenizin çalıştığını gösteriniz.

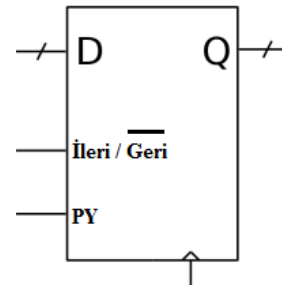
## Grup 208:

Paralel yükleme özelliğine sahip, ileri ve geri sayma işlemini yapan ve aşağıda özellikleri verilen bir sayıcı devresinin tasarımını gerçekleyiniz.

- İleri/ $\overline{\text{Geri}}$  kontrol giriş değerine bağlı olarak durum tablosunda belirtilen değerlerde ileri ve geri sayma işlemi gerçekleştirilecektir.
- PY(Paralel Yükleme) kontrol girişi lojik "1" olduğunda "D" girişlerindeki değerler Q çıkışlarına aktarılacaktır. Paralel yükleme değeri sayma işleminin gerçekleştirileceği değerler içerisinde olacaktır.
- Sayma işlemi 7 ile 27 değerleri arasında gerçekleştirilecektir.

Tablo 1. Sayıcı devresinin durum tablosu

PY	İleri/ $\overline{\text{Geri}}$	Q(t+1)
1	X	D
0	1	Q(t)+ 5
0	0	Q(t)- 5



Şekil 2. Sayıcı devresinin blok şeması

- Şekil 1'deki ALU biriminin devresini GAL22V10'a uygun şekilde tasarlayınız.
- Tasarladığınız devreyi WinCUPL programında GAL22V10'a göre kodlayınız ve hatasız derlendiğinden emin olunuz.
- GAL elemanı için derlediğiniz kodun Tablo 1'deki her satır için çalıştığını WinSIM programıyla simülasyon yaparak onaylayınız.
- (a), (b) ve (c) şıklarını giriş ve sonuç bütünlüğünde raporlayınız.
- Derlenmiş JED uzantılı programlama dosyasını en geç 17 Mayıs 2019 Cuma günü saat 08:00'a kadar Lojik Devre LAB sorumlusuna e-posta ile ulaştırınız.
- Raporunuzun çıktısıyla proje LAB saatinde LAB'da hazır bulununuz. Lojik Devre LAB sorumlusuna GAL elemanınızı kendi JED dosyanızla programlatarak projenizin çalıştığını gösteriniz.



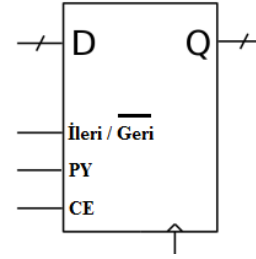
### Grup 301:

Reset ve Saat Aktif (CE-Clock Enable) girişlerine sahip, ileri ve geri sayma işlemini yapan ve aşağıda özellikleri verilen bir sayıcı devresinin tasarımını gerçekleyiniz.

- İleri/ $\overline{\text{Geri}}$  kontrol giriş değerine bağlı olarak durum tablosunda belirtilen değerlerde ileri ve geri sayma işlemi gerçekleştirilecektir.
- Reset giriş değerine bağlı olarak sayıcı resetlenecek ve 0 değerinden başlayarak sayma işlemine devam edecektir.
- CE girişine bağlı olarak sayma işlemi devam edecektir.
- Sayma işlemi 2 ile 26 değerleri arasında gerçekleştirilecektir. Sayma işleminin üst sınır değeri D girişine verilecek olan değerler ile belirlenecektir.

Tablo 1. Sayıcı devresinin durum tablosu

Reset	CE	İleri/ $\overline{\text{Geri}}$	Q(t+1)
1	X	X	0
0	0	X	Q(t)
0	1	1	Q(t)+ 6
0	1	0	Q(t)- 6



Şekil 1. Sayıcı devresinin blok şeması

- Şekil 1'deki ALU biriminin devresini GAL22V10'a uygun şekilde tasarlayınız.
- Tasarladığınız devreyi WinCUPL programında GAL22V10'a göre kodlayınız ve hatasız derlendiğinden emin olunuz.
- GAL elemanı için derlediğiniz kodun Tablo 1'deki her satır için çalıştığını WinSIM programıyla simülasyon yaparak onaylayınız.
- (a), (b) ve (c) şıklarını giriş ve sonuç bütünlüğünde raporlayınız.
- Derlenmiş JED uzantılı programlama dosyasını en geç 17 Mayıs 2019 Cuma günü saat 08:00'a kadar Lojik Devre LAB sorumlusuna e-posta ile ulaştırınız.
- Raporunuzun çıktısıyla proje LAB saatinde LAB'da hazır bulununuz. Lojik Devre LAB sorumlusuna GAL elemanınızı kendi JED dosyanızla programlatarak projenizin çalıştığını gösteriniz.

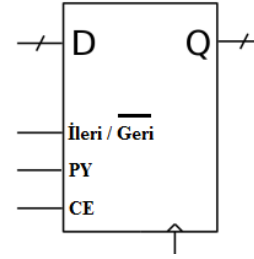
### Grup 302:

Paralel yükleme ve Saat Aktif (CE-Clock Enable) girişlerine sahip, ileri ve geri sayma işlemini yapan ve aşağıda özellikleri verilen bir sayıcı devresinin tasarımını gerçekleyiniz.

- İleri/ $\overline{\text{Geri}}$  kontrol giriş değerine bağlı olarak durum tablosunda belirtilen değerlerde ileri ve geri sayma işlemi gerçekleştirilecektir.
- PY(Paralel Yükleme) kontrol girişi lojik "1" olduğunda "D" girişindeki değerler Q çıkışlarına aktarılacaktır. Paralel yükleme değeri sayma işleminin gerçekleştirileceği değerler içerisinde olacaktır.
- CE girişine bağlı olarak sayma işlemi devam edecektir.
- Sayma işlemi **10** ile **30** değerleri arasında gerçekleştirilecektir.

Tablo 1. Sayıcı devresinin durum tablosu

CE	PY	İleri/ $\overline{\text{Geri}}$	Q(t+1)
0	X	X	Q(t)
1	1	X	D
1	0	1	Q(t)+2
1	0	0	Q(t)-2



Şekil 1. Sayıcı devresinin blok şeması

- Şekil 1'deki ALU biriminin devresini GAL22V10'a uygun şekilde tasarlayınız.
- Tasarladığınız devreyi WinCUPL programında GAL22V10'a göre kodlayınız ve hatasız derlendiğinden emin olunuz.
- GAL elemanı için derlediğiniz kodun Tablo 1'deki her satır için çalıştığını WinSIM programıyla simülasyon yaparak onaylayınız.
- (a), (b) ve (c) şıklarını giriş ve sonuç bütünlüğünde raporlayınız.
- Derlenmiş JED uzantılı programlama dosyasını en geç 17 Mayıs 2019 Cuma günü saat 08:00'a kadar Lojik Devre LAB sorumlusuna e-posta ile ulaştırınız.
- Raporunuzun çıktısıyla proje LAB saatinde LAB'da hazır bulununuz. Lojik Devre LAB sorumlusuna GAL elemanınızı kendi JED dosyanızla programlatarak projenizin çalıştığını gösteriniz.

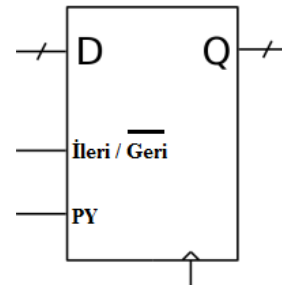
### Grup 303:

Paralel yükleme özelliğine sahip, ileri ve geri sayma işlemini yapan ve aşağıda özellikleri verilen bir sayıcı devresinin tasarımını gerçekleyiniz.

- İleri/ $\overline{\text{Geri}}$  kontrol giriş değerine bağlı olarak durum tablosunda belirtilen değerlerde ileri ve geri sayma işlemi gerçekleştirilecektir.
- PY(Paralel Yükleme) kontrol girişi lojik "1" olduğunda "D" girişlerindeki değerler Q çıkışlarına aktarılacaktır. Paralel yükleme değeri sayma işleminin gerçekleştirileceği değerler içerisinde olacaktır.
- Sayma işlemi 7 ile 31 değerleri arasında gerçekleştirilecektir.

Tablo 1. Sayıcı devresinin durum tablosu

PY	İleri/ $\overline{\text{Geri}}$	Q(t+1)
1	X	D
0	1	Q(t)+ 1
0	0	Q(t)- 1



Şekil 2. Sayıcı devresinin blok şeması

- Şekil 1'deki ALU biriminin devresini GAL22V10'a uygun şekilde tasarlayınız.
- Tasarladığınız devreyi WinCUPL programında GAL22V10'a göre kodlayınız ve hatasız derlendiğinden emin olunuz.
- GAL elemanı için derlediğiniz kodun Tablo 1'deki her satır için çalıştığını WinSIM programıyla simülasyon yaparak onaylayınız.
- (a), (b) ve (c) şıklarını giriş ve sonuç bütünlüğünde raporlayınız.
- Derlenmiş JED uzantılı programlama dosyasını en geç 17 Mayıs 2019 Cuma günü saat 08:00'a kadar Lojik Devre LAB sorumlusuna e-posta ile ulaştırınız.
- Raporunuzun çıktısıyla proje LAB saatinde LAB'da hazır bulununuz. Lojik Devre LAB sorumlusuna GAL elemanınızı kendi JED dosyanızla programlatarak projenizin çalıştığını gösteriniz.

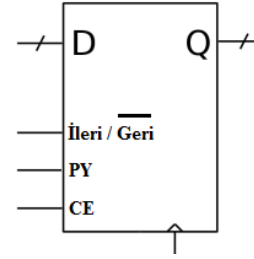
### Grup 304:

Reset ve Saat Aktif (CE-Clock Enable) girişlerine sahip, ileri ve geri sayma işlemini yapan ve aşağıda özellikleri verilen bir sayıcı devresinin tasarımını gerçekleyiniz.

- İleri/ $\overline{\text{Geri}}$  kontrol giriş değerine bağlı olarak durum tablosunda belirtilen değerlerde ileri ve geri sayma işlemi gerçekleştirilecektir.
- Reset giriş değerine bağlı olarak sayıcı resetlenecek ve 0 değerinden başlayarak sayma işlemine devam edecektir.
- CE girişine bağlı olarak sayma işlemi devam edecektir.
- Sayma işlemi 4 ile 28 değerleri arasında gerçekleştirilecektir. Sayma işleminin üst sınır değeri D girişine verilecek olan değerler ile belirlenecektir.

Tablo 1. Sayıcı devresinin durum tablosu

Reset	CE	İleri/ $\overline{\text{Geri}}$	Q(t+1)
1	X	X	0
0	0	X	Q(t)
0	1	1	Q(t)+ 4
0	1	0	Q(t)- 4



Şekil 1. Sayıcı devresinin blok şeması

- Şekil 1'deki ALU biriminin devresini GAL22V10'a uygun şekilde tasarlayınız.
- Tasarladığınız devreyi WinCUPL programında GAL22V10'a göre kodlayınız ve hatasız derlendiğinden emin olunuz.
- GAL elemanı için derlediğiniz kodun Tablo 1'deki her satır için çalıştığını WinSIM programıyla simülasyon yaparak onaylayınız.
- (a), (b) ve (c) şıklarını giriş ve sonuç bütünlüğünde raporlayınız.
- Derlenmiş JED uzantılı programlama dosyasını en geç 17 Mayıs 2019 Cuma günü saat 08:00'a kadar Lojik Devre LAB sorumlusuna e-posta ile ulaştırınız.
- Raporunuzun çıktısıyla proje LAB saatinde LAB'da hazır bulununuz. Lojik Devre LAB sorumlusuna GAL elemanınızı kendi JED dosyanızla programlatarak projenizin çalıştığını gösteriniz.

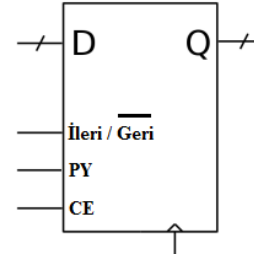
### Grup 305:

Paralel yükleme ve Saat Aktif (CE-Clock Enable) girişlerine sahip, ileri ve geri sayma işlemi yapan ve aşağıda özellikleri verilen bir sayıcı devresinin tasarımını gerçekleyiniz.

- İleri/ $\overline{\text{Geri}}$  kontrol giriş değerine bağlı olarak durum tablosunda belirtilen değerlerde ileri ve geri sayma işlemi gerçekleştirilecektir.
- PY(Paralel Yükleme) kontrol girişi lojik "1" olduğunda "D" girişindeki değerler Q çıkışlarına aktarılacaktır. Paralel yükleme değeri sayma işleminin gerçekleştirileceği değerler içerisinde olacaktır.
- CE girişine bağlı olarak sayma işlemi devam edecektir.
- Sayma işlemi 2 ile 27 değerleri arasında gerçekleştirilecektir.

Tablo 1. Sayıcı devresinin durum tablosu

CE	PY	İleri/ $\overline{\text{Geri}}$	Q(t+1)
0	X	X	Q(t)
1	1	X	D
1	0	1	Q(t)+5
1	0	0	Q(t)-5



Şekil 1. Sayıcı devresinin blok şeması

- Şekil 1'deki ALU biriminin devresini GAL22V10'a uygun şekilde tasarlayınız.
- Tasarladığınız devreyi WinCUPL programında GAL22V10'a göre kodlayınız ve hatasız derlendiğinden emin olunuz.
- GAL elemanı için derlediğiniz kodun Tablo 1'deki her satır için çalıştığını WinSIM programıyla simülasyon yaparak onaylayınız.
- (a), (b) ve (c) şıklarını giriş ve sonuç bütünlüğünde raporlayınız.
- Derlenmiş JED uzantılı programlama dosyasını en geç 17 Mayıs 2019 Cuma günü saat 08:00'a kadar Lojik Devre LAB sorumlusuna e-posta ile ulaştırınız.
- Raporunuzun çıktısıyla proje LAB saatinde LAB'da hazır bulununuz. Lojik Devre LAB sorumlusuna GAL elemanınızı kendi JED dosyanızla programlatarak projenizin çalıştığını gösteriniz.

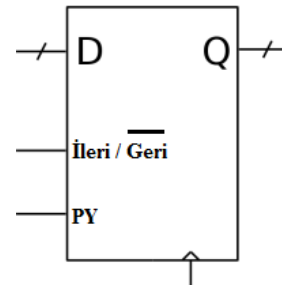
### Grup 306:

Paralel yükleme özelliğine sahip, ileri ve geri sayma işlemini yapan ve aşağıda özellikleri verilen bir sayıcı devresinin tasarımını gerçekleyiniz.

- İleri/ $\overline{\text{Geri}}$  kontrol giriş değerine bağlı olarak durum tablosunda belirtilen değerlerde ileri ve geri sayma işlemi gerçekleştirilecektir.
- PY(Paralel Yükleme) kontrol girişi lojik "1" olduğunda "D" girişlerindeki değerler Q çıkışlarına aktarılacaktır. Paralel yükleme değeri sayma işleminin gerçekleştirileceği değerler içerisinde olacaktır.
- Sayma işlemi 4 ile 30 değerleri arasında gerçekleştirilecektir.

Tablo 1. Sayıcı devresinin durum tablosu

PY	İleri/ $\overline{\text{Geri}}$	Q(t+1)
1	X	D
0	1	Q(t)+ 2
0	0	Q(t)- 2



Şekil 2. Sayıcı devresinin blok şeması

- Şekil 1'deki ALU biriminin devresini GAL22V10'a uygun şekilde tasarlayınız.
- Tasarladığınız devreyi WinCUPL programında GAL22V10'a göre kodlayınız ve hatasız derlendiğinden emin olunuz.
- GAL elemanı için derlediğiniz kodun Tablo 1'deki her satır için çalıştığını WinSIM programıyla simülasyon yaparak onaylayınız.
- (a), (b) ve (c) şıklarını giriş ve sonuç bütünlüğünde raporlayınız.
- Derlenmiş JED uzantılı programlama dosyasını en geç 17 Mayıs 2019 Cuma günü saat 08:00'a kadar Lojik Devre LAB sorumlusuna e-posta ile ulaştırınız.
- Raporunuzun çıktısıyla proje LAB saatinde LAB'da hazır bulununuz. Lojik Devre LAB sorumlusuna GAL elemanınızı kendi JED dosyanızla programlatarak projenizin çalıştığını gösteriniz.

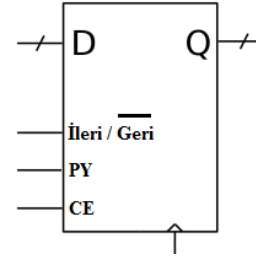
### Grup 307:

Reset ve Saat Aktif (CE-Clock Enable) girişlerine sahip, ileri ve geri sayma işlemini yapan ve aşağıda özellikleri verilen bir sayıcı devresinin tasarımını gerçekleyiniz.

- İleri/ $\overline{\text{Geri}}$  kontrol giriş değerine bağlı olarak durum tablosunda belirtilen değerlerde ileri ve geri sayma işlemi gerçekleştirilecektir.
- Reset giriş değerine bağlı olarak sayıcı resetlenecek ve 0 değerinden başlayarak sayma işlemine devam edecektir.
- CE girişine bağlı olarak sayma işlemi devam edecektir.
- Sayma işlemi **12** ile **29** değerleri arasında gerçekleştirilecektir. Sayma işleminin üst sınır değeri D girişine verilecek olan değerler ile belirlenecektir.

Tablo 1. Sayıcı devresinin durum tablosu

Reset	CE	İleri/ $\overline{\text{Geri}}$	Q(t+1)
1	X	X	0
0	0	X	Q(t)
0	1	1	Q(t)+ 3
0	1	0	Q(t)- 3



Şekil 1. Sayıcı devresinin blok şeması

- Şekil 1'deki ALU biriminin devresini GAL22V10'a uygun şekilde tasarlayınız.
- Tasarladığınız devreyi WinCUPL programında GAL22V10'a göre kodlayınız ve hatasız derlendiğinden emin olunuz.
- GAL elemanı için derlediğiniz kodun Tablo 1'deki her satır için çalıştığını WinSIM programıyla simülasyon yaparak onaylayınız.
- (a), (b) ve (c) şıklarını giriş ve sonuç bütünlüğünde raporlayınız.
- Derlenmiş JED uzantılı programlama dosyasını en geç 17 Mayıs 2019 Cuma günü saat 08:00'a kadar Lojik Devre LAB sorumlusuna e-posta ile ulaştırınız.
- Raporunuzun çıktısıyla proje LAB saatinde LAB'da hazır bulununuz. Lojik Devre LAB sorumlusuna GAL elemanınızı kendi JED dosyanızla programlatarak projenizin çalıştığını gösteriniz.

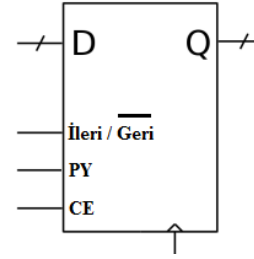
### Grup 308:

Paralel yükleme ve Saat Aktif (CE-Clock Enable) girişlerine sahip, ileri ve geri sayma işlemini yapan ve aşağıda özellikleri verilen bir sayıcı devresinin tasarımını gerçekleyiniz.

- İleri/ $\overline{\text{Geri}}$  kontrol giriş değerine bağlı olarak durum tablosunda belirtilen değerlerde ileri ve geri sayma işlemi gerçekleştirilecektir.
- PY(Paralel Yükleme) kontrol girişi lojik "1" olduğunda "D" girişindeki değerler Q çıkışlarına aktarılacaktır. Paralel yükleme değeri sayma işleminin gerçekleştirileceği değerler içerisinde olacaktır.
- CE girişine bağlı olarak sayma işlemi devam edecektir.
- Sayma işlemi 0 ile 24 değerleri arasında gerçekleştirilecektir.

Tablo 1. Sayıcı devresinin durum tablosu

CE	PY	İleri/ $\overline{\text{Geri}}$	Q(t+1)
0	X	X	Q(t)
1	1	X	D
1	0	1	Q(t)+2
1	0	0	Q(t)-2



Şekil 1. Sayıcı devresinin blok şeması

- Şekil 1'deki ALU biriminin devresini GAL22V10'a uygun şekilde tasarlayınız.
- Tasarladığınız devreyi WinCUPL programında GAL22V10'a göre kodlayınız ve hatasız derlendiğinden emin olunuz.
- GAL elemanı için derlediğiniz kodun Tablo 1'deki her satır için çalıştığını WinSIM programıyla simülasyon yaparak onaylayınız.
- (a), (b) ve (c) şıklarını giriş ve sonuç bütünlüğünde raporlayınız.
- Derlenmiş JED uzantılı programlama dosyasını en geç 17 Mayıs 2019 Cuma günü saat 08:00'a kadar Lojik Devre LAB sorumlusuna e-posta ile ulaştırınız.
- Raporunuzun çıktısıyla proje LAB saatinde LAB'da hazır bulununuz. Lojik Devre LAB sorumlusuna GAL elemanınızı kendi JED dosyanızla programlatarak projenizin çalıştığını gösteriniz.



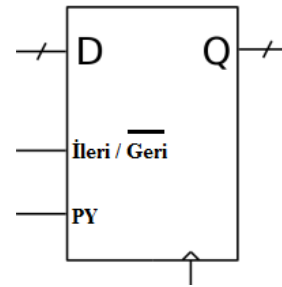
### Grup 309:

Paralel yükleme özelliğine sahip, ileri ve geri sayma işlemini yapan ve aşağıda özellikleri verilen bir sayıcı devresinin tasarımını gerçekleyiniz.

- İleri/ $\overline{\text{Geri}}$  kontrol giriş değerine bağlı olarak durum tablosunda belirtilen değerlerde ileri ve geri sayma işlemi gerçekleştirilecektir.
- PY(Paralel Yükleme) kontrol girişi lojik "1" olduğunda "D" girişlerindeki değerler Q çıkışlarına aktarılacaktır. Paralel yükleme değeri sayma işleminin gerçekleştirileceği değerler içerisinde olacaktır.
- Sayma işlemi 0 ile 27 değerleri arasında gerçekleştirilecektir.

Tablo 1. Sayıcı devresinin durum tablosu

PY	İleri/ $\overline{\text{Geri}}$	Q(t+1)
1	X	D
0	1	Q(t)+ 3
0	0	Q(t)- 3



Şekil 2. Sayıcı devresinin blok şeması

- Şekil 1'deki ALU biriminin devresini GAL22V10'a uygun şekilde tasarlayınız.
- Tasarladığınız devreyi WinCUPL programında GAL22V10'a göre kodlayınız ve hatasız derlendiğinden emin olunuz.
- GAL elemanı için derlediğiniz kodun Tablo 1'deki her satır için çalıştığını WinSIM programıyla simülasyon yaparak onaylayınız.
- (a), (b) ve (c) şıklarını giriş ve sonuç bütünlüğünde raporlayınız.
- Derlenmiş JED uzantılı programlama dosyasını en geç 17 Mayıs 2019 Cuma günü saat 08:00'a kadar Lojik Devre LAB sorumlusuna e-posta ile ulaştırınız.
- Raporunuzun çıktısıyla proje LAB saatinde LAB'da hazır bulununuz. Lojik Devre LAB sorumlusuna GAL elemanınızı kendi JED dosyanızla programlatarak projenizin çalıştığını gösteriniz.

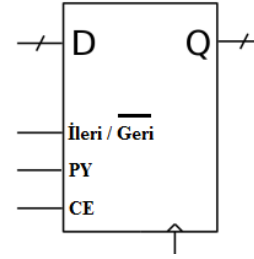
### Grup 310:

Reset ve Saat Aktif (CE-Clock Enable) girişlerine sahip, ileri ve geri sayma işlemini yapan ve aşağıda özellikleri verilen bir sayıcı devresinin tasarımını gerçekleyiniz.

- İleri/ $\overline{\text{Geri}}$  kontrol giriş değerine bağlı olarak durum tablosunda belirtilen değerlerde ileri ve geri sayma işlemi gerçekleştirilecektir.
- Reset giriş değerine bağlı olarak sayıcı resetlenecek ve 0 değerinden başlayarak sayma işlemine devam edecektir.
- CE girişine bağlı olarak sayma işlemi devam edecektir.
- Sayma işlemi 0 ile 24 değerleri arasında gerçekleştirilecektir. Sayma işleminin üst sınır değeri D girişine verilecek olan değerler ile belirlenecektir.

Tablo 1. Sayıcı devresinin durum tablosu

Reset	CE	İleri/ $\overline{\text{Geri}}$	Q(t+1)
1	X	X	0
0	0	X	Q(t)
0	1	1	Q(t)+ 4
0	1	0	Q(t) - 4



Şekil 1. Sayıcı devresinin blok şeması

- Şekil 1'deki ALU biriminin devresini GAL22V10'a uygun şekilde tasarlayınız.
- Tasarladığınız devreyi WinCUPL programında GAL22V10'a göre kodlayınız ve hatasız derlendiğinden emin olunuz.
- GAL elemanı için derlediğiniz kodun Tablo 1'deki her satır için çalıştığını WinSIM programıyla simülasyon yaparak onaylayınız.
- (a), (b) ve (c) şıklarını giriş ve sonuç bütünlüğünde raporlayınız.
- Derlenmiş JED uzantılı programlama dosyasını en geç 17 Mayıs 2019 Cuma günü saat 08:00'a kadar Lojik Devre LAB sorumlusuna e-posta ile ulaştırınız.
- Raporunuzun çıktısıyla proje LAB saatinde LAB'da hazır bulununuz. Lojik Devre LAB sorumlusuna GAL elemanınızı kendi JED dosyanızla programlatarak projenizin çalıştığını gösteriniz.

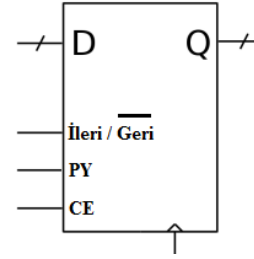
### Grup 311:

Paralel yükleme ve Saat Aktif (CE-Clock Enable) girişlerine sahip, ileri ve geri sayma işlemini yapan ve aşağıda özellikleri verilen bir sayıcı devresinin tasarımını gerçekleştiriniz.

- İleri/ $\overline{\text{Geri}}$  kontrol giriş değerine bağlı olarak durum tablosunda belirtilen değerlerde ileri ve geri sayma işlemi gerçekleştirilecektir.
- PY(Paralel Yükleme) kontrol girişi lojik "1" olduğunda "D" girişindeki değerler Q çıkışlarına aktarılacaktır. Paralel yükleme değeri sayma işleminin gerçekleştirileceği değerler içerisinde olacaktır.
- CE girişine bağlı olarak sayma işlemi devam edecektir.
- Sayma işlemi 0 ile 28 değerleri arasında gerçekleştirilecektir.

Tablo 1. Sayıcı devresinin durum tablosu

CE	PY	İleri/ $\overline{\text{Geri}}$	Q(t+1)
0	X	X	Q(t)
1	1	X	D
1	0	1	Q(t)+4
1	0	0	Q(t)-4



Şekil 1. Sayıcı devresinin blok şeması

- Şekil 1'deki ALU biriminin devresini GAL22V10'a uygun şekilde tasarlayınız.
- Tasarladığınız devreyi WinCUPL programında GAL22V10'a göre kodlayınız ve hatasız derlendiğinden emin olunuz.
- GAL elemanı için derlediğiniz kodun Tablo 1'deki her satır için çalıştığını WinSIM programıyla simülasyon yaparak onaylayınız.
- (a), (b) ve (c) şıklarını giriş ve sonuç bütünlüğünde raporlayınız.
- Derlenmiş JED uzantılı programlama dosyasını en geç 17 Mayıs 2019 Cuma günü saat 08:00'a kadar Lojik Devre LAB sorumlusuna e-posta ile ulaştırınız.
- Raporunuzun çıktısıyla proje LAB saatinde LAB'da hazır bulununuz. Lojik Devre LAB sorumlusuna GAL elemanınızı kendi JED dosyanızla programlatarak projenizin çalıştığını gösteriniz.

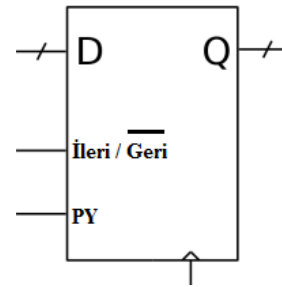
## Grup 401:

Paralel yükleme özelliğine sahip, ileri ve geri sayma işlemini yapan ve aşağıda özellikleri verilen bir sayıcı devresinin tasarımını gerçekleyiniz.

- İleri/ $\overline{\text{Geri}}$  kontrol giriş değerine bağlı olarak durum tablosunda belirtilen değerlerde ileri ve geri sayma işlemi gerçekleştirilecektir.
- PY(Paralel Yükleme) kontrol girişi lojik "1" olduğunda "D" girişlerindeki değerler Q çıkışlarına aktarılacaktır. Paralel yükleme değeri sayma işleminin gerçekleştirileceği değerler içerisinde olacaktır.
- Sayma işlemi 0 ile 20 değerleri arasında gerçekleştirilecektir.

Tablo 1. Sayıcı devresinin durum tablosu

PY	İleri/ $\overline{\text{Geri}}$	Q(t+1)
1	X	D
0	1	Q(t)+ 2
0	0	Q(t)- 2



Şekil 2. Sayıcı devresinin blok şeması

- Şekil 1'deki ALU biriminin devresini GAL22V10'a uygun şekilde tasarlayınız.
- Tasarladığınız devreyi WinCUPL programında GAL22V10'a göre kodlayınız ve hatasız derlendiğinden emin olunuz.
- GAL elemanı için derlediğiniz kodun Tablo 1'deki her satır için çalıştığını WinSIM programıyla simülasyon yaparak onaylayınız.
- (a), (b) ve (c) şıklarını giriş ve sonuç bütünlüğünde raporlayınız.
- Derlenmiş JED uzantılı programlama dosyasını en geç 17 Mayıs 2019 Cuma günü saat 08:00'a kadar Lojik Devre LAB sorumlusuna e-posta ile ulaştırınız.
- Raporunuzun çıktısıyla proje LAB saatinde LAB'da hazır bulununuz. Lojik Devre LAB sorumlusuna GAL elemanınızı kendi JED dosyanızla programlatarak projenizin çalıştığını gösteriniz.

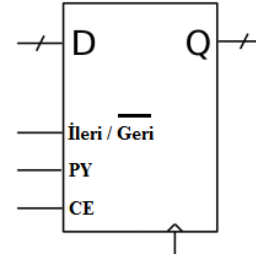
## Grup 402:

Reset ve Saat Aktif (CE-Clock Enable) girişlerine sahip, ileri ve geri sayma işlemini yapan ve aşağıda özellikleri verilen bir sayıcı devresinin tasarımını gerçekleyiniz.

- İleri/ $\overline{\text{Geri}}$  kontrol giriş değerine bağlı olarak durum tablosunda belirtilen değerlerde ileri ve geri sayma işlemi gerçekleştirilecektir.
- Reset giriş değerine bağlı olarak sayıcı resetlenecek ve 0 değerinden başlayarak sayma işlemine devam edecektir.
- CE girişine bağlı olarak sayma işlemi devam edecektir.
- Sayma işlemi 0 ile 25 değerleri arasında gerçekleştirilecektir. Sayma işleminin üst sınır değeri D girişine verilecek olan değerler ile belirlenecektir.

Tablo 1. Sayıcı devresinin durum tablosu

Reset	CE	İleri/ $\overline{\text{Geri}}$	Q(t+1)
1	X	X	0
0	0	X	Q(t)
0	1	1	Q(t)+ 5
0	1	0	Q(t)- 5



Şekil 1. Sayıcı devresinin blok şeması

- Şekil 1'deki ALU biriminin devresini GAL22V10'a uygun şekilde tasarlayınız.
- Tasarladığınız devreyi WinCUPL programında GAL22V10'a göre kodlayınız ve hatasız derlendiğinden emin olunuz.
- GAL elemanı için derlediğiniz kodun Tablo 1'deki her satır için çalıştığını WinSIM programıyla simülasyon yaparak onaylayınız.
- (a), (b) ve (c) şıklarını giriş ve sonuç bütünlüğünde raporlayınız.
- Derlenmiş JED uzantılı programlama dosyasını en geç 17 Mayıs 2019 Cuma günü saat 08:00'a kadar Lojik Devre LAB sorumlusuna e-posta ile ulaştırınız.
- Raporunuzun çıktısıyla proje LAB saatinde LAB'da hazır bulununuz. Lojik Devre LAB sorumlusuna GAL elemanınızı kendi JED dosyanızla programlatarak projenizin çalıştığını gösteriniz.

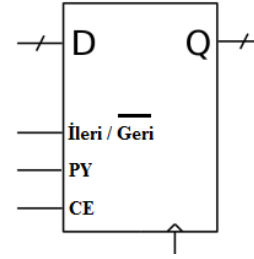
### Grup 403:

Paralel yükleme ve Saat Aktif (CE-Clock Enable) girişlerine sahip, ileri ve geri sayma işlemi yapan ve aşağıda özellikleri verilen bir sayıcı devresinin tasarımını gerçekleştiriniz.

- İleri/ $\overline{\text{Geri}}$  kontrol giriş değerine bağlı olarak durum tablosunda belirtilen değerlerde ileri ve geri sayma işlemi gerçekleştirilecektir.
- PY(Paralel Yükleme) kontrol girişi lojik "1" olduğunda "D" girişindeki değerler Q çıkışlarına aktarılacaktır. Paralel yükleme değeri sayma işleminin gerçekleştirileceği değerler içerisinde olacaktır.
- CE girişine bağlı olarak sayma işlemi devam edecektir.
- Sayma işlemi 0 ile 30 değerleri arasında gerçekleştirilecektir.

Tablo 1. Sayıcı devresinin durum tablosu

CE	PY	İleri/ $\overline{\text{Geri}}$	Q(t+1)
0	X	X	Q(t)
1	1	X	D
1	0	1	Q(t)+6
1	0	0	Q(t)- 6



Şekil 1. Sayıcı devresinin blok şeması

- Şekil 1'deki ALU biriminin devresini GAL22V10'a uygun şekilde tasarlayınız.
- Tasarladığınız devreyi WinCUPL programında GAL22V10'a göre kodlayınız ve hatasız derlendiğinden emin olunuz.
- GAL elemanı için derlediğiniz kodun Tablo 1'deki her satır için çalıştığını WinSIM programıyla simülasyon yaparak onaylayınız.
- (a), (b) ve (c) şıklarını giriş ve sonuç bütünlüğünde raporlayınız.
- Derlenmiş JED uzantılı programlama dosyasını en geç 17 Mayıs 2019 Cuma günü saat 08:00'a kadar Lojik Devre LAB sorumlusuna e-posta ile ulaştırınız.
- Raporunuzun çıktısıyla proje LAB saatinde LAB'da hazır bulununuz. Lojik Devre LAB sorumlusuna GAL elemanınızı kendi JED dosyanızla programlatarak projenizin çalıştığını gösteriniz.

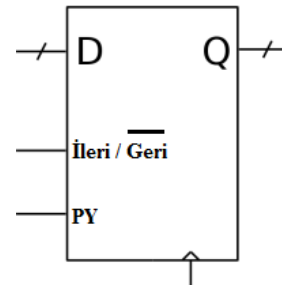
#### Grup 404:

Paralel yükleme özelliğine sahip, ileri ve geri sayma işlemini yapan ve aşağıda özellikleri verilen bir sayıcı devresinin tasarımını gerçekleyiniz.

- İleri/ $\overline{\text{Geri}}$  kontrol giriş değerine bağlı olarak durum tablosunda belirtilen değerlerde ileri ve geri sayma işlemi gerçekleştirilecektir.
- PY(Paralel Yükleme) kontrol girişi lojik "1" olduğunda "D" girişlerindeki değerler Q çıkışlarına aktarılacaktır. Paralel yükleme değeri sayma işleminin gerçekleştirileceği değerler içerisinde olacaktır.
- Sayma işlemi 0 ile 21 değerleri arasında gerçekleştirilecektir.

Tablo 1. Sayıcı devresinin durum tablosu

PY	İleri/ $\overline{\text{Geri}}$	Q(t+1)
1	X	D
0	1	Q(t)+ 3
0	0	Q(t)- 3



Şekil 2. Sayıcı devresinin blok şeması

- Şekil 1'deki ALU biriminin devresini GAL22V10'a uygun şekilde tasarlayınız.
- Tasarladığınız devreyi WinCUPL programında GAL22V10'a göre kodlayınız ve hatasız derlendiğinden emin olunuz.
- GAL elemanı için derlediğiniz kodun Tablo 1'deki her satır için çalıştığını WinSIM programıyla simülasyon yaparak onaylayınız.
- (a), (b) ve (c) şıklarını giriş ve sonuç bütünlüğünde raporlayınız.
- Derlenmiş JED uzantılı programlama dosyasını en geç 17 Mayıs 2019 Cuma günü saat 08:00'a kadar Lojik Devre LAB sorumlusuna e-posta ile ulaştırınız.
- Raporunuzun çıktısıyla proje LAB saatinde LAB'da hazır bulununuz. Lojik Devre LAB sorumlusuna GAL elemanınızı kendi JED dosyanızla programlatarak projenizin çalıştığını gösteriniz.

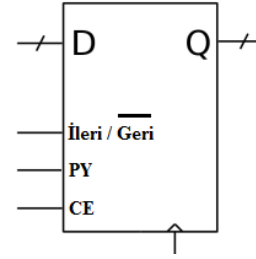
## Grup 405:

Reset ve Saat Aktif (CE-Clock Enable) girişlerine sahip, ileri ve geri sayma işlemini yapan ve aşağıda özellikleri verilen bir sayıcı devresinin tasarımını gerçekleyiniz.

- İleri/ $\overline{\text{Geri}}$  kontrol giriş değerine bağlı olarak durum tablosunda belirtilen değerlerde ileri ve geri sayma işlemi gerçekleştirilecektir.
- Reset giriş değerine bağlı olarak sayıcı resetlenecek ve 0 değerinden başlayarak sayma işlemine devam edecektir.
- CE girişine bağlı olarak sayma işlemi devam edecektir.
- Sayma işlemi 0 ile 30 değerleri arasında gerçekleştirilecektir. Sayma işleminin üst sınır değeri D girişine verilecek olan değerler ile belirlenecektir.

Tablo 1. Sayıcı devresinin durum tablosu

Reset	CE	İleri/ $\overline{\text{Geri}}$	Q(t+1)
1	X	X	0
0	0	X	Q(t)
0	1	1	Q(t)+ 5
0	1	0	Q(t)- 5



Şekil 1. Sayıcı devresinin blok şeması

- Şekil 1'deki ALU biriminin devresini GAL22V10'a uygun şekilde tasarlayınız.
- Tasarladığınız devreyi WinCUPL programında GAL22V10'a göre kodlayınız ve hatasız derlendiğinden emin olunuz.
- GAL elemanı için derlediğiniz kodun Tablo 1'deki her satır için çalıştığını WinSIM programıyla simülasyon yaparak onaylayınız.
- (a), (b) ve (c) şıklarını giriş ve sonuç bütünlüğünde raporlayınız.
- Derlenmiş JED uzantılı programlama dosyasını en geç 17 Mayıs 2019 Cuma günü saat 08:00'a kadar Lojik Devre LAB sorumlusuna e-posta ile ulaştırınız.
- Raporunuzun çıktısıyla proje LAB saatinde LAB'da hazır bulununuz. Lojik Devre LAB sorumlusuna GAL elemanınızı kendi JED dosyanızla programlatarak projenizin çalıştığını gösteriniz.



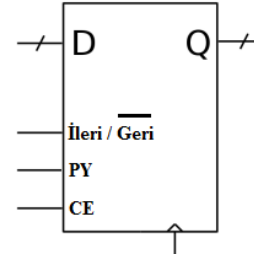
## Grup 406:

Paralel yükleme ve Saat Aktif (CE-Clock Enable) girişlerine sahip, ileri ve geri sayma işlemini yapan ve aşağıda özellikleri verilen bir sayıcı devresinin tasarımını gerçekleyiniz.

- İleri/ $\overline{\text{Geri}}$  kontrol giriş değerine bağlı olarak durum tablosunda belirtilen değerlerde ileri ve geri sayma işlemi gerçekleştirilecektir.
- PY(Paralel Yükleme) kontrol girişi lojik "1" olduğunda "D" girişindeki değerler Q çıkışlarına aktarılacaktır. Paralel yükleme değeri sayma işleminin gerçekleştirileceği değerler içerisinde olacaktır.
- CE girişine bağlı olarak sayma işlemi devam edecektir.
- Sayma işlemi 0 ile 30 değerleri arasında gerçekleştirilecektir.

Tablo 1. Sayıcı devresinin durum tablosu

CE	PY	İleri/ $\overline{\text{Geri}}$	Q(t+1)
0	X	X	Q(t)
1	1	X	D
1	0	1	Q(t)+3
1	0	0	Q(t)-3



Şekil 1. Sayıcı devresinin blok şeması

- Şekil 1'deki ALU biriminin devresini GAL22V10'a uygun şekilde tasarlayınız.
- Tasarladığınız devreyi WinCUPL programında GAL22V10'a göre kodlayınız ve hatasız derlendiğinden emin olunuz.
- GAL elemanı için derlediğiniz kodun Tablo 1'deki her satır için çalıştığını WinSIM programıyla simülasyon yaparak onaylayınız.
- (a), (b) ve (c) şıklarını giriş ve sonuç bütünlüğünde raporlayınız.
- Derlenmiş JED uzantılı programlama dosyasını en geç 17 Mayıs 2019 Cuma günü saat 08:00'a kadar Lojik Devre LAB sorumlusuna e-posta ile ulaştırınız.
- Raporunuzun çıktısıyla proje LAB saatinde LAB'da hazır bulununuz. Lojik Devre LAB sorumlusuna GAL elemanınızı kendi JED dosyanızla programlatarak projenizin çalıştığını gösteriniz.

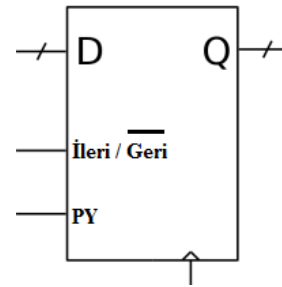
## Grup 407:

Paralel yükleme özelliğine sahip, ileri ve geri sayma işlemini yapan ve aşağıda özellikleri verilen bir sayıcı devresinin tasarımını gerçekleyiniz.

- İleri/ $\overline{\text{Geri}}$  kontrol giriş değerine bağlı olarak durum tablosunda belirtilen değerlerde ileri ve geri sayma işlemi gerçekleştirilecektir.
- PY(Paralel Yükleme) kontrol girişi lojik "1" olduğunda "D" girişlerindeki değerler Q çıkışlarına aktarılacaktır. Paralel yükleme değeri sayma işleminin gerçekleştirileceği değerler içerisinde olacaktır.
- Sayma işlemi 0 ile 18 değerleri arasında gerçekleştirilecektir.

Tablo 1. Sayıcı devresinin durum tablosu

PY	İleri/ $\overline{\text{Geri}}$	Q(t+1)
1	X	D
0	1	Q(t)+ 3
0	0	Q(t)- 3



Şekil 2. Sayıcı devresinin blok şeması

- Şekil 1'deki ALU biriminin devresini GAL22V10'a uygun şekilde tasarlayınız.
- Tasarladığınız devreyi WinCUPL programında GAL22V10'a göre kodlayınız ve hatasız derlendiğinden emin olunuz.
- GAL elemanı için derlediğiniz kodun Tablo 1'deki her satır için çalıştığını WinSIM programıyla simülasyon yaparak onaylayınız.
- (a), (b) ve (c) şıklarını giriş ve sonuç bütünlüğünde raporlayınız.
- Derlenmiş JED uzantılı programlama dosyasını en geç 17 Mayıs 2019 Cuma günü saat 08:00'a kadar Lojik Devre LAB sorumlusuna e-posta ile ulaştırınız.
- Raporunuzun çıktısıyla proje LAB saatinde LAB'da hazır bulununuz. Lojik Devre LAB sorumlusuna GAL elemanınızı kendi JED dosyanızla programlatarak projenizin çalıştığını gösteriniz.

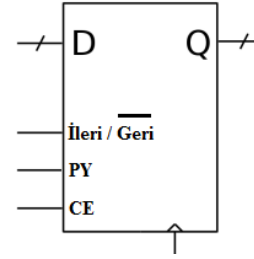
## Grup 408:

Reset ve Saat Aktif (CE-Clock Enable) girişlerine sahip, ileri ve geri sayma işlemini yapan ve aşağıda özellikleri verilen bir sayıcı devresinin tasarımını gerçekleyiniz.

- İleri/ $\overline{\text{Geri}}$  kontrol giriş değerine bağlı olarak durum tablosunda belirtilen değerlerde ileri ve geri sayma işlemi gerçekleştirilecektir.
- Reset giriş değerine bağlı olarak sayıcı resetlenecek ve 0 değerinden başlayarak sayma işlemine devam edecektir.
- CE girişine bağlı olarak sayma işlemi devam edecektir.
- Sayma işlemi 0 ile 28 değerleri arasında gerçekleştirilecektir. Sayma işleminin üst sınır değeri D girişine verilecek olan değerler ile belirlenecektir.

Tablo 1. Sayıcı devresinin durum tablosu

Reset	CE	İleri/ $\overline{\text{Geri}}$	Q(t+1)
1	X	X	0
0	0	X	Q(t)
0	1	1	Q(t)+ 7
0	1	0	Q(t)- 7



Şekil 1. Sayıcı devresinin blok şeması

- Şekil 1'deki ALU biriminin devresini GAL22V10'a uygun şekilde tasarlayınız.
- Tasarladığınız devreyi WinCUPL programında GAL22V10'a göre kodlayınız ve hatasız derlendiğinden emin olunuz.
- GAL elemanı için derlediğiniz kodun Tablo 1'deki her satır için çalıştığını WinSIM programıyla simülasyon yaparak onaylayınız.
- (a), (b) ve (c) şıklarını giriş ve sonuç bütünlüğünde raporlayınız.
- Derlenmiş JED uzantılı programlama dosyasını en geç 17 Mayıs 2019 Cuma günü saat 08:00'a kadar Lojik Devre LAB sorumlusuna e-posta ile ulaştırınız.
- Raporunuzun çıktısıyla proje LAB saatinde LAB'da hazır bulununuz. Lojik Devre LAB sorumlusuna GAL elemanınızı kendi JED dosyanızla programlatarak projenizin çalıştığını gösteriniz.

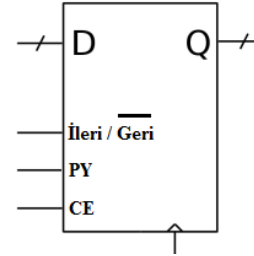
## Grup 409:

Paralel yükleme ve Saat Aktif (CE-Clock Enable) girişlerine sahip, ileri ve geri sayma işlemini yapan ve aşağıda özellikleri verilen bir sayıcı devresinin tasarımını gerçekleyiniz.

- İleri/ $\overline{\text{Geri}}$  kontrol giriş değerine bağlı olarak durum tablosunda belirtilen değerlerde ileri ve geri sayma işlemi gerçekleştirilecektir.
- PY(Paralel Yükleme) kontrol girişi lojik "1" olduğunda "D" girişindeki değerler Q çıkışlarına aktarılacaktır. Paralel yükleme değeri sayma işleminin gerçekleştirileceği değerler içerisinde olacaktır.
- CE girişine bağlı olarak sayma işlemi devam edecektir.
- Sayma işlemi 0 ile 26 değerleri arasında gerçekleştirilecektir.

Tablo 1. Sayıcı devresinin durum tablosu

CE	PY	İleri/ $\overline{\text{Geri}}$	Q(t+1)
0	X	X	Q(t)
1	1	X	D
1	0	1	Q(t)+1
1	0	0	Q(t)-1



Şekil 1. Sayıcı devresinin blok şeması

- Şekil 1'deki ALU biriminin devresini GAL22V10'a uygun şekilde tasarlayınız.
- Tasarladığınız devreyi WinCUPL programında GAL22V10'a göre kodlayınız ve hatasız derlendiğinden emin olunuz.
- GAL elemanı için derlediğiniz kodun Tablo 1'deki her satır için çalıştığını WinSIM programıyla simülasyon yaparak onaylayınız.
- (a), (b) ve (c) şıklarını giriş ve sonuç bütünlüğünde raporlayınız.
- Derlenmiş JED uzantılı programlama dosyasını en geç 17 Mayıs 2019 Cuma günü saat 08:00'a kadar Lojik Devre LAB sorumlusuna e-posta ile ulaştırınız.
- Raporunuzun çıktısıyla proje LAB saatinde LAB'da hazır bulununuz. Lojik Devre LAB sorumlusuna GAL elemanınızı kendi JED dosyanızla programlatarak projenizin çalıştığını gösteriniz.

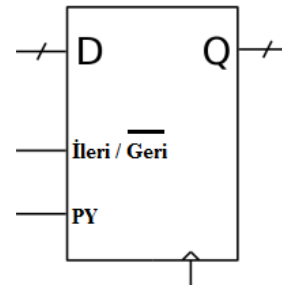
## Grup 410:

Paralel yükleme özelliğine sahip, ileri ve geri sayma işlemini yapan ve aşağıda özellikleri verilen bir sayıcı devresinin tasarımını gerçekleyiniz.

- İleri/ $\overline{\text{Geri}}$  kontrol giriş değerine bağlı olarak durum tablosunda belirtilen değerlerde ileri ve geri sayma işlemi gerçekleştirilecektir.
- PY(Paralel Yükleme) kontrol girişi lojik "1" olduğunda "D" girişlerindeki değerler Q çıkışlarına aktarılacaktır. Paralel yükleme değeri sayma işleminin gerçekleştirileceği değerler içerisinde olacaktır.
- Sayma işlemi 0 ile 16 değerleri arasında gerçekleştirilecektir.

Tablo 1. Sayıcı devresinin durum tablosu

PY	İleri/ $\overline{\text{Geri}}$	Q(t+1)
1	X	D
0	1	Q(t)+ 4
0	0	Q(t)- 4



Şekil 2. Sayıcı devresinin blok şeması

- Şekil 1'deki ALU biriminin devresini GAL22V10'a uygun şekilde tasarlayınız.
- Tasarladığınız devreyi WinCUPL programında GAL22V10'a göre kodlayınız ve hatasız derlendiğinden emin olunuz.
- GAL elemanı için derlediğiniz kodun Tablo 1'deki her satır için çalıştığını WinSIM programıyla simülasyon yaparak onaylayınız.
- (a), (b) ve (c) şıklarını giriş ve sonuç bütünlüğünde raporlayınız.
- Derlenmiş JED uzantılı programlama dosyasını en geç 17 Mayıs 2019 Cuma günü saat 08:00'a kadar Lojik Devre LAB sorumlusuna e-posta ile ulaştırınız.
- Raporunuzun çıktısıyla proje LAB saatinde LAB'da hazır bulununuz. Lojik Devre LAB sorumlusuna GAL elemanınızı kendi JED dosyanızla programlatarak projenizin çalıştığını gösteriniz.